

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-229952

⑬ Int.Cl.⁴

H 01 L 21/66
G 01 R 31/26
H 01 L 29/78

識別記号

庁内整理番号

7168-5F
Z-7359-2G
8422-5F

⑭ 公開 昭和62年(1987)10月8日

審査請求 未請求 発明の数 2 (全4頁)

⑮ 発明の名称 MIS型半導体集積回路装置

⑯ 特 願 昭61-72855

⑰ 出 願 昭61(1986)3月31日

⑱ 発 明 者 松 木 宏 司 川崎市幸区堀川町72番地 株式会社東芝堀川町工場内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

MIS型半導体集積回路装置

2. 特許請求の範囲

(1) チップ上の空き領域あるいはスクライブライン上の少なくともいずれか一方に、チャンネル幅とチャンネル長との比が、ドレイン・ソース間に所定の電圧を印加した時に1 μ Aのドレイン・ソース間電流が流れる時のゲート・ソース間電圧と、ドレイン・ソース間に所定の電圧を印加した時のゲート・ソース間電圧とドレイン・ソース間電流の平方根とから外挿したスレッショールド電圧とが等しくなるように設定されたモニタトランジスタを設けたことを特徴とするMIS型半導体集積回路装置。

(2) チップ上の空き領域あるいはスクライブライン上の少なくともいずれか一方に、第1のパッドと第2のパッド間に接続されゲートが第3のパッドに接続されるNチャンネル型のMOSトランジスタと、第4のパッドと上記第2のパッド間

に接続されゲートが上記第3のパッドに接続されるPチャンネル型のMOSトランジスタとから成るモニタ回路を設け、上記各MOSトランジスタのチャンネル幅とチャンネル長との比はそれぞれ、ドレイン・ソース間に所定の電圧を印加した時に1 μ Aのドレイン・ソース間電流が流れる時のゲート・ソース間電圧と、ドレイン・ソース間に所定の電圧を印加した時のゲート・ソース間電圧とドレイン・ソース間電流の平方根とから外挿したスレッショールド電圧とが等しくなるように設定されていることを特徴とするMIS型半導体集積回路装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、MIS(金属-絶縁物-半導体)型半導体集積回路装置に関するもので、特に、スレッショールド電圧の検査用のモニタトランジスタに係わる。

(従来技術)

一般に、MIS型の半導体集積回路装置にあっては、CMOS型にせよNMOS型にせよ、第2図に示すように同一チップ15上の空き領域、もしくはスクライプライン16上の少なくとも一方に、製造工程の検査を行なうためのモニタトランジスタ17、18₁、18₂を必ず設けている。このモニタトランジスタ17、18₁、18₂は、主にスレッシュヨールド電圧 V_{th} の検査のために用いられるもので、所定の製造プロセスを経て完成された半導体集積回路装置が意図した(設計時に設定した)スレッシュヨールド電圧 V_{th} になっているか否かを確かめるために使用される。上記スレッシュヨールド電圧 V_{th} の検査は、通常第3図に示すように、例えばNチャンネル型のMOSTランジスタの場合、ドレイン・ソース間電圧 $V_{o.s} = 5V$ で、ドレイン・ソース間に $1\mu A$ のドレイン・ソース間電流 $I_{o.s}$ が流れる時のゲート・ソース間電圧 $V_{o.s}$ で求められる。

このようなスレッシュヨールド電圧の測定は、カーブトレーサにより簡単に求まるため、完成され

ールド電圧 V_{th} は、トランジスタの W/L の違いが、 $V_{o.s} - \sqrt{I_{o.s}}$ のデータの傾斜の違いとなって現われるが、外挿点はほぼ同じとなる。従って、トランジスタの W/L の違いでスレッシュヨールド電圧 V_{th} が変化しない。

このように、製造プロセス技術者が使用するスレッシュヨールド電圧($1\mu A V_{th}$)と、設計技術者が使用するスレッシュヨールド電圧(外挿 V_{th})とが異なっているため、 V_{th} マージンの議論をする際に混乱を招く欠点がある。

(発明が解決しようとする問題点)

上述した如く、従来のMIS型半導体集積回路装置にあっては、製造プロセス技術者が使用するスレッシュヨールド電圧($1\mu A V_{th}$)と、設計技術者が使用するスレッシュヨールド電圧(外挿 V_{th})とが異なっており、 V_{th} マージンの議論をする場合に混乱を招く欠点があった。

従って、この発明の目的は、 $1\mu A V_{th}$ と外挿 V_{th} とを同じ値に出来るモニタトランジスタを備えたMIS型半導体集積回路装置を提供すること

たウェハの検査で良く使われている。しかしながら、このスレッシュヨールド電圧はトランジスタのサイズによって異なる。すなわち、ドレイン・ソース間電流 $I_{o.s}$ が $1\mu A$ の時のゲート・ソース間電圧 $V_{o.s}$ をスレッシュヨールド電圧 V_{th} とするため、MOSTランジスタのチャンネル幅 W とチャンネル長 L との比 W/L が大きければ V_{th} は小さくなり、 W/L が小さければ V_{th} は大きくなる。もちろん、 W/L が同じでも製造工程の違い(例えば酸化膜厚の差)によっても V_{th} は変わってくる。この V_{th} の変化量は最大0.5V程度である。

これに対し、設計時点においては、上述したスレッシュヨールド電圧($1\mu A V_{th}$)は用いず、トランジスタの W/L によらない外挿 V_{th} を用いる。この外挿 V_{th} は、第4図に示すようにドレイン・ソース間電圧 $V_{o.s} = 5V$ で、ゲート・ソース間電圧 $V_{o.s}$ とドレイン・ソース間電流の平方根 $\sqrt{I_{o.s}}$ のグラフからデータを外挿し、 $V_{o.s}$ 軸と交わる点の $V_{o.s}$ をスレッシュヨールド電圧 V_{th} とする定義である。この定義におけるスレッシュ

にある。

[発明の構成]

(問題点を解決するための手段とその作用)

すなわち、この発明においては、上記の目的を達成するために、チャンネル幅とチャンネル長との比が、ドレイン・ソース間に所定の電圧を印加した時に $1\mu A$ のドレイン・ソース間電流が流れる時のゲート・ソース間電圧($1\mu A V_{th}$)と、ドレイン・ソース間に所定の電圧を印加した時のゲート・ソース間電圧とドレイン・ソース間電流の平方根から外挿したスレッシュヨールド電圧(外挿 V_{th})とが等しくなるように設定されたモニタトランジスタを設けている。

(実施例)

以下、この発明の一実施例について図面を参照して説明する。第1図は、モニタ回路の構成例を示すもので、パッド11とパッド12間にはNチャンネル型のMOSTランジスタQ1のドレイン・ソースがそれぞれ接続され、パッド13と上記パッド12間にはPチャンネル型のMOSTランジスタQ2

のドレイン、ソースがそれぞれ接続される。そして、上記各MOSトランジスタQ1、Q2のゲートにはそれぞれ、パッド14が接続されて成る。このモニタ回路は、前記第2図に示したように、チップ15上の空き領域、もしくはスクライブライン16上の少なくとも一方に設けられる。

上記Nチャンネル型MOSトランジスタQ1のW/Lは例えば40/4、上記Pチャンネル型MOSトランジスタQ2のW/Lは例えば20/4に設定する。換言すれば、Nチャンネル型のMOSトランジスタQ1の g_m とPチャンネル型のMOSトランジスタQ2の g_m との比に相当するサイズに設定する。このようなW/Lとするのは、Nチャンネル型のMOSトランジスタの易動度がPチャンネル型のMOSトランジスタの易動度の約2倍であることによる。これによって $1\mu A V_{th}$ と外挿 V_{th} が等しくなる。但し、上記各モニタトランジスタの寸法(W/L)は、製造プロセス等に応じて最適な値に設定する必要がある。

いて説明するための図、第4図は外挿 V_{th} の定義について説明するための図である。

11~14…パッド、Q1、Q2…モニタトランジスタ、15…チップ、16…スクライブライン、17、18₁、18₂…モニタトランジスタ、モニタ回路。

出願人代理人 弁理士 鈴江武彦

このような構成によれば、製造技術者側で容易に測定できる $1\mu A V_{th}$ と設計技術者が使用する外挿 V_{th} とを等しくできるので、製品の V_{th} マージン等を議論する際に両者の定義する V_{th} の交換が不要となり、混乱を招くことがない。

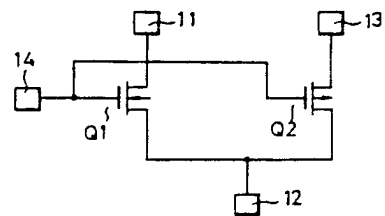
なお、上記実施例では、MIS型半導体集積回路装置がCMOS型の場合について説明したが、同様にしてNMOS型のものにも適用が可能なのはもちろんである。

〔発明の効果〕

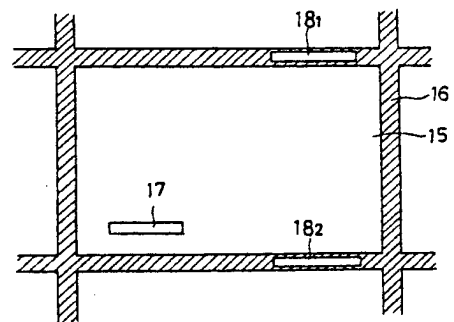
以上説明したようにこの発明によれば、 $1\mu A V_{th}$ と外挿 V_{th} とを同じ値に出来るモニタトランジスタを備えたMIS型半導体集積回路装置が得られる。

4. 図面の簡単な説明

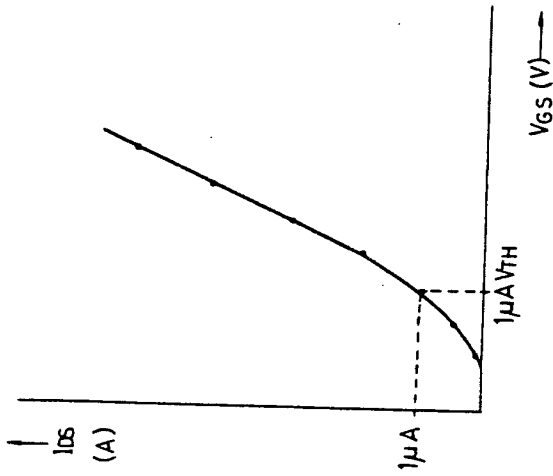
第1図はこの発明の一実施例に係わるMIS型半導体集積回路装置におけるモニタ回路の構成例について説明するための図、第2図はモニタトランジスタおよびモニタ回路の配置例について説明するための図、第3図は $1\mu A V_{th}$ の定義につ



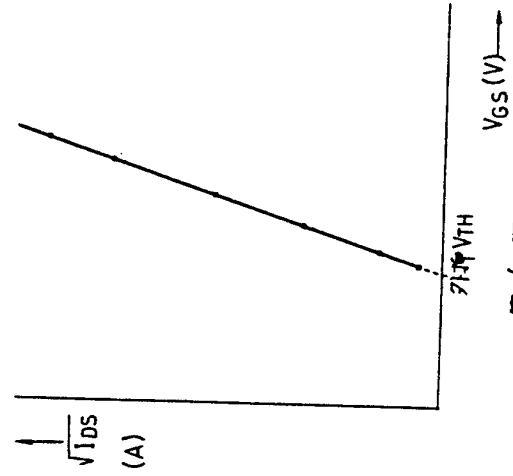
第1図



第2図



第 3 図



第 4 図



JP62229952

Biblio

Page 1

Drawing

**MIS TYPE SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

Patent Number: JP62229952
Publication date: 1987-10-08
Inventor(s): MATSUKI KOJI
Applicant(s): TOSHIBA CORP
Requested Patent: JP62229952
Application Number: JP19860072855 19860331
Priority Number(s):
IPC Classification: H01L21/66; G01R31/26; H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE:To obtain the MIS type semiconductor integrated circuit device provided with a monitoring transistor with which an $1\mu\text{AV}_{\text{th}}$ and an externally inserted V_{th} can be made to have an equal value by a method wherein the monitoring transistor, on which the ratio of the width and length of a channel is set in such a manner that the voltage ($1\mu\text{AV}_{\text{th}}$) between a gate and a source will be made equal to the threshold voltage (externally inserted V_{th}), is provided.

CONSTITUTION:The drain and source of an MOS transistor Q1 are connected to the drain and source of a P-channel type MOS transistor Q2, and a pad 14 is connected to these gates respectively. The W/L of the N-channel type MOS transistor Q1 is set at 40/4, for example, and the W/L of the above-mentioned P-channel type MOS transistor Q2 is set at 20/4, for example. In other words, the size of said transistors is set corresponding to the ratio of the (gm) of the N-channel type MOS transistor Q1 and the (gm) of the P-channel type MOS transistor Q2. As a result, the $1\mu\text{AV}_{\text{th}}$ and the externally inserted V_{th} are made equal.

Data supplied from the esp@cenet database - I2